

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2003 EPO. All rts. reserv.

11734214

Basic Patent (No,Kind,Date): JP 6102530 A2 940415 <No. of Patents: 001>

LIQUID CRYSTAL DISPLAY DEVICE (English)

Patent Assignee: SHARP KK

Author (Inventor): ONO EIZO

IPC: \*G02F-001/136; G02F-001/133; G09G-003/36; H04N-005/66

Derwent WPI Acc No: G 94-161345

JAPIO Reference No: 180373P000124

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 6102530	A2	940415	JP 92249715	A	920918 (BASIC)

Priority Data (No,Kind,Date):

JP 92249715 A 920918

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

04458630    \*\*Image available\*\*

LIQUID CRYSTAL DISPLAY DEVICE

PUB. NO.:    06-102530 [JP 6102530 A]

PUBLISHED:    April 15, 1994 (19940415)

INVENTOR(s):    ONO EIZO

APPLICANT(s): SHARP CORP [000504] (A Japanese Company or Corporation), JP  
(Japan)

APPL. NO.:    04-249715 [JP 92249715]

FILED:    September 18, 1992 (19920918)

INTL CLASS:    [5] G02F-001/136; G02F-001/133; G09G-003/36; H04N-005/66

JAPIO CLASS:    29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 44.6  
(COMMUNICATION -- Television); 44.9 (COMMUNICATION -- Other)

JAPIO KEYWORD:R011 (LIQUID CRYSTALS); R097 (ELECTRONIC MATERIALS --  
Metal Oxide Semiconductors, MOS)

JOURNAL:    Section: P, Section No. 1769, Vol. 18, No. 373, Pg. 124, July  
13, 1994 (19940713)

#### ABSTRACT

**PURPOSE:** To reduce the power consumption of the liquid crystal display device by providing a static memory circuit at the pixel part of the liquid crystal display device.

**CONSTITUTION:** When a voltage pulse is applied to a gate line 4 and a transistor(TR) 22 turns ON, an image signal from a source line 3 is charged in liquid crystal 18 and the gate of a TR 21-1. When the image signal is an ON voltage, the liquid crystal 18 is applied with an electric field and changes in orientation state; and the TR 21-1 turns ON and a TR 21-2 turns OFF. When the voltage of the gate line 4 becomes an OFF voltage, the TR 22 turns OFF, but the liquid crystal 18 is charged through the TR 20-2, so its orientation state does not change. Thus, the image signal can be supplied to liquid crystal cells so that the same still picture can continuously be displayed on the screen.

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-102530

(43)公開日 平成6年(1994)4月15日

(51)Int.Cl. <sup>4</sup>	識別記号	庁内整理番号	FI	技術表示箇所
G 0 2 F 1/136	5 0 0	9018-2K		
	1/133	5 5 0	9228-2K	
G 0 9 G 3/36		7319-5G		
H 0 4 N 5/68	1 0 2 B	9068-5C		

審査請求 未請求 請求項の数3(全 5 頁)

(21)出願番号 特願平4-249715

(22)出願日 平成4年(1992)9月18日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 大野 栄三

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

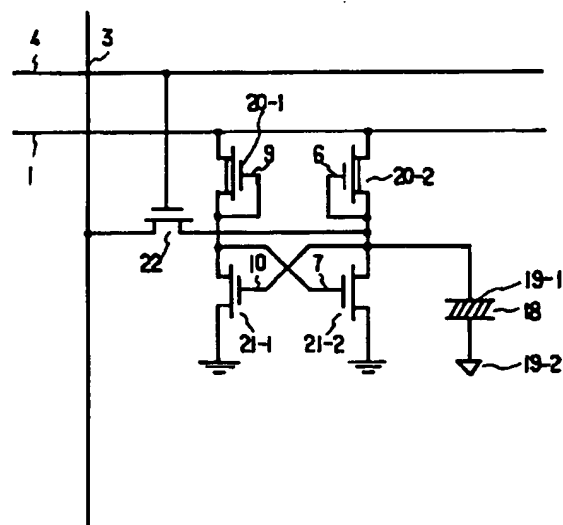
(74)代理人 弁理士 梅田 勝

## (54)【発明の名称】 液晶表示装置

## (57)【要約】

【目的】 液晶表示装置の絵素部分に、スタティックメモリ回路を設けることにより、液晶表示装置の省力化をはかる。

【構成】 本発明のスタティックメモリ回路動作を図1により説明する。ゲートライン4に電圧パルスが加えられ、トランジスタ22はオン状態になると、ソースライン3より画像信号が液晶18とトランジスタ21-1のゲートに充電される。画像信号がオン電圧とすると、液晶18には電界が加わり配向性が変化するとともに、トランジスタ21-1はオン状態、21-2はオフ状態となる。ゲートライン4の電圧がオフ電圧になると、トランジスタ22はオフ状態になるが、液晶18はトランジスタ20-2を通して充電されるのでその配向性は変化しない。このような動作により、同一の静止画画面は表示され続けるように画像信号を液晶セルに供給できる。



## 【特許請求の範囲】

【請求項1】 第1の信号が供給される複数のゲートラインと、第2の信号が供給される複数のソースラインと、前記ゲートラインとソースラインに接続される薄膜トランジスタと、該薄膜トランジスタからの絵素部分への入力画像信号が記憶されるスタティックメモリ回路と、入力画像信号に基づいてそれぞれ表示駆動される液晶セルとを有し、かつスタティックメモリ回路に記憶されている信号電圧が上記絵素部分の液晶セルに常に加えられていることを特徴とする液晶表示装置。

【請求項2】 請求項1記載のスタティックメモリ回路が、多結晶シリコン薄膜トランジスタにより構成されていることを特徴とする液晶表示装置。

【請求項3】 ユーザー及びシステムから請求項1記載の液晶表示装置への新しい入力画像信号がないときは、液晶表示装置外部のコントローラの動作を停止し、薄膜トランジスタからの絵素部分への入力画像信号が記憶されるスタティックメモリ回路を用いて表示画面を維持し続けることを特徴とする液晶表示装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は液晶表示装置に関するもので、特に、省電力を必要とする機器に適している。例えば、バッテリー駆動型タイプのノートワープロ、ノートパソコンに適用できる。

## 【0002】

【従来の技術】 従来の液晶表示装置の絵素部分の回路図を図6に示す。この図6は液晶表示装置の1絵素部分を抜き出して示したものである。該図に示すように、絵素部分のトランジスタ22には、ゲートライン4からゲート端子に電圧パルスが加わり $1/(30 \times \text{走査線数})$ 秒または $1/(60 \times \text{走査線数})$ 秒の間オン状態になる動作を $1/30$ 秒または $1/60$ 秒周期で繰り返している。そして、トランジスタ22がオン状態にある間に、ソースライン3より画像信号が液晶18に書き込まれることにより、画像が表示されている。

## 【0003】

【発明が解決しようとする課題】 しかしながら、従来の回路構成では、トランジスタ22のオフ状態時のリーク電流により液晶18に充電された電荷量が減衰していく。そこで、前記減衰を防止するため、 $1/30$ 秒または $1/60$ 秒の周期で液晶18への充電を繰り返している。したがって、機器のユーザーが単に同じ画面を眺めている場合でも、 $30\text{Hz}$ もしくは $60\text{Hz}$ のフレーム周波数で画面の描画を繰り返さなければならない。よって、ビデオ信号ジェネレータのディスプレイコントローラを常に動作させておく必要があり、これら電子回路で常に電力が消費され、バッテリー駆動型の機器では、継続使用時間が短くなる問題があった。

【0004】 そこで、本発明は上記課題に鑑みてなされ

たものであり、液晶表示装置において、液晶表示装置外部のコントローラの動作を停止しても、静止画面は表示され続けるように画像信号を、液晶セルに供給できる電子回路を提供することを目的とするものである。

## 【0005】

【課題を解決するための手段および作用】 本発明は、第1の信号、例えば走査信号が供給される複数のゲートラインと、第2の信号、例えばサンプリングされた画素信号が供給される複数のソースラインと、前記ゲートラインとソースラインに接続される薄膜トランジスタと、該薄膜トランジスタからの各絵素部分への入力画像信号が記憶されるスタティックメモリ回路と、入力画像信号に基づいてそれぞれ表示駆動される液晶セルとを有し、かつスタティックメモリ回路に記憶されている信号電圧が上記絵素部分の液晶セルに常に加えられることを特徴とする。この構成により、同一の静止画面を表示し続ける場合は、ディスプレイコントローラの動作をストップし、外部から表示装置に画像信号を入力することなく、スタティックメモリ回路に記憶された信号電圧を用いて画面を表示し続ける。

【0006】 また、前記スタティックメモリ回路は多結晶シリコン薄膜トランジスタにより構成されている。

【0007】 さらに、この回路構成を情報処理機器に応用して、ユーザー及びシステムから前記液晶表示装置への新しい入力画像信号がないときは、液晶表示装置外部のコントローラの動作を停止し、薄膜トランジスタから各絵素部分への入力画像信号が記憶されるスタティックメモリ回路を用いて表示画面を維持し続ける。

## 【0008】

## 【実施例】

＜実施例1＞ 本発明の第1の実施例の回路図を図1に示す。ここで、スタティックメモリ（以下、SRAMと略す）を構成するトランジスタ21-1、21-2、22はエンハンスメントタイプのn型MOSトランジスタであり、トランジスタ20-1、20-2はデプリーションタイプのn型MOSトランジスタである。トランジスタ22のゲート端子は液晶表示装置のゲートライン4に、ドレイン端子は液晶表示装置のソースライン3に、ソース端子はトランジスタ20-1、20-2、21-1、21-2で構成されているスタティックメモリ回路へ接続されている。配線1はスタティックメモリ回路の電源ラインで、液晶18へ充電される電圧値になっている。

【0009】 ソースライン3から入力された信号電圧は液晶18に設けられた電極19-1に加えられ、液晶18には電極19-1と対向電極19-2の間の電位差によって決まる電界が加わる。

【0010】 図2は本実施例の絵素部分のパターンである。まずガラス基板上に高融点金属薄膜を用いて電源ライン1とアースライン2を形成する。高融点金属にはタ

ングステンを用いた。つぎに $\text{SiO}_2$ 絶縁膜を5000Å作製し、その上に、多結晶シリコン薄膜トランジスタ20-1、20-2、21-1、21-2、22を作製する。トランジスタ20-1、20-2のドレイン端子はコンタクトホール14を介して電源ライン1と接続されており、21-1、21-2のソース端子はコンタクトホール16を介してアースライン2と接続されている。トランジスタ20-1のゲート端子9と21-2ゲート端子7はゲートポリシリコンの配線により接続されている。

【0011】トランジスタ作製後、 $\text{SiO}_2$ 絶縁膜を5000Å形成した上にシリコンを1%含んだアルミ配線でゲートライン4、トランジスタ20-1のゲート端子9とソース端子を接続するライン11を作製する。ゲートライン4はコンタクトホール13を介して、トランジスタ22のゲート端子5に接続している。アルミ配線11はコンタクトホール23、25を介してそれぞれゲート端子9とソースに接続している。アルミ配線を作製後、 $\text{SiO}_2$ を2000Å形成し、その上にITO電極8を作製する。1500Åの厚さのITO薄膜の作製はスパッタリング法を用いた。

【0012】つぎに $\text{SiO}_2$ 絶縁膜を3000Å形成し、その上にシリコンを1%含んだアルミ配線でソースライン3とアルミ配線17を作製する。ソースライン3はコンタクトホール15を介してトランジスタ22のドレイン端子に接続している。アルミ配線17はコンタクトホール24を介してトランジスタ20-2のゲート端子と、コンタクトホール27を介してトランジスタ20-2のソース端子と、コンタクトホール26を介してトランジスタ21-1のゲート端子10と、コンタクトホール28を介してITO電極8と接続している。上記構造を作製の後、保護膜として窒化シリコン薄膜を5000Å作製する。

【0013】本実施例の回路動作を説明する。1/(30×走査線数)または1/(60×走査線数)秒の間、ゲートライン4に電圧パルスが加えられ、トランジスタ22はオン状態になる。その間に、ソースライン3より画像信号が液晶18とトランジスタ21-1のゲートに充電される。いま画像信号がオン電圧(ハイ)とすると液晶18には電界が加わり配向性が変化するとともに、トランジスタ21-1はオン状態、21-2はオフ状態となる。ゲートライン4の電圧がオフ電圧(ロー)になるとトランジスタ22はオフ状態になるが、液晶18はトランジスタ20-2を通して充電されるのでその配向性は変化しない。トランジスタ22がオン状態の時にソースライン3からオフ電圧(ロー)が入力されたときは、液晶18には電界が加わらず、トランジスタ21-1はオフ状態、21-2はオン状態になる。トランジスタ22がオフ状態になった後も、液晶18はオン状態のトランジスタ21-2を通じて放電するので電界が加わ

らないままである。

【0014】<実施例2>本発明の第2の実施例の回路図を図3に示す。第1の実施例でSRAMを構成していたデプリーションタイプのn型MOSトランジスタとエンハンスメントタイプのn型MOSトランジスタとの組み合わせを、エンハンスメントタイプのp型MOSトランジスタとエンハンスメントタイプのn型MOSトランジスタとの組み合わせに変えている事以外は、第1の実施例と全く同様である。ここでトランジスタ20-3、20-4はエンハンスメントタイプのp型MOSトランジスタ、21-1、21-2、22はエンハンスメントタイプのn型MOSトランジスタで、回路動作は実施例1と同様である。

【0015】<実施例3>本発明の第3の実施例の回路図を図4に示す。ここでは、本発明を単純マトリックス型液晶表示装置に適用している。ここで、29が信号線、30は水平走査線を示し、トランジスタ20-3、20-4はエンハンスメントタイプのp型MOSトランジスタ、21-1、21-2はエンハンスメントタイプのn型MOSトランジスタである。信号線29から、オン電圧(ハイ)が入力されると実施例1と同様にメモリ回路が動作し、液晶18にはオン状態が維持され、オフ電圧(ロー)が入力されると、オフ状態が維持される。

【0016】図5には、上記の液晶表示装置を用いた情報処理機器のシステム構成を示す。ユーザー31からの要求信号はインターフェース32(例えば、マウス、ペン、キーボード等)を通して、システムのCPU33へ送られる。一連の処理がCPU33とメモリ34の間等で行われ、液晶表示装置に結果を表示する必要がある場合、画像データとコントローラへの信号をディスプレイコントローラ35へ送る。コントローラはそれらデータをもとにして液晶表示装置36へ信号を送る。本システムではユーザー31から一定時間(任意に設定可能)入力がない場合、コントローラ35へ動作停止信号が送られコントローラ35動作を停止し、電力を消費しないようにする。液晶表示装置36はその間、本発明のメモリ機能を用いてそれまでの画面を表示し続ける。ユーザーからの入力があれば再びコントローラの動作が始まり描画が行われることになる。

【0017】

【発明の効果】本発明によれば、液晶表示装置を有するバッテリー駆動型機器の省電力化が図れ、バッテリーによる長時間の継続使用が可能となる。

【図面の簡単な説明】

【図1】本発明の液晶表示装置の絵素部分の実施例1の回路図である。

【図2】本発明の液晶表示装置の絵素部分の実施例1のパターンである。

【図3】本発明の液晶表示装置の絵素部分の実施例2の回路図である。

【図4】本発明の液晶表示装置の絵素部分の実施例3の回路図である。

【図5】本発明の液晶表示装置を用いたシステム構成図である。

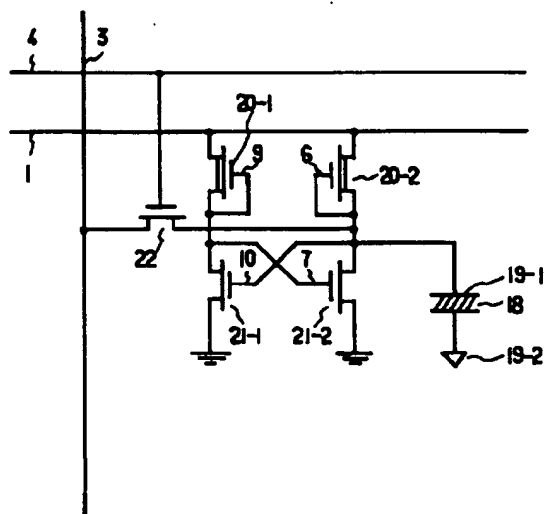
【図6】従来例の液晶表示装置の絵素部分の回路図である。

【符号の説明】

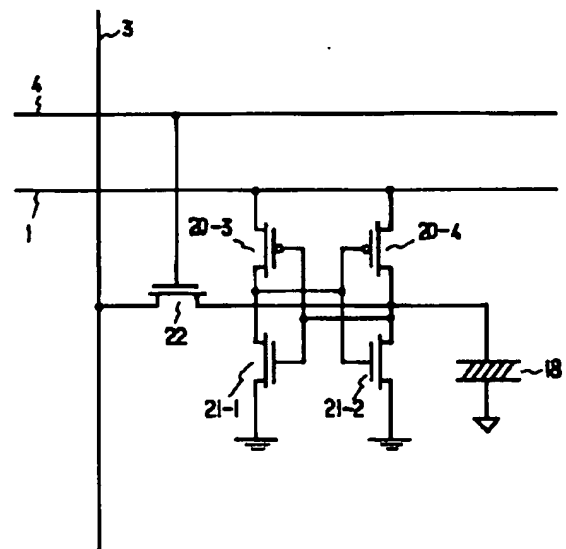
- 1 電源ライン
- 2 アースライン
- 3 ソースライン
- 4 ゲートライン
- 5、7、9、10 ゲート端子
- 8 ITO電極
- 12、13、14、15、16 コンタクトホール
- 11、17 アルミ配線
- 18 液晶
- 19 電極

- 20-1、20-2 デプリーションタイプのn型MOSトランジスタ
- 20-3、20-4 エンハンスメントタイプのp型MOSトランジスタ
- 21-1、21-2、22 エンハンスメントタイプのn型MOSトランジスタ
- 23、24、25、26、27、28 コンタクトホール
- 29 信号線
- 30 水平走査線
- 31 ユーザー
- 32 インターフェース
- 33 CPU
- 34 メモリー
- 35 ディスプレイコントローラー
- 36 液晶表示装置

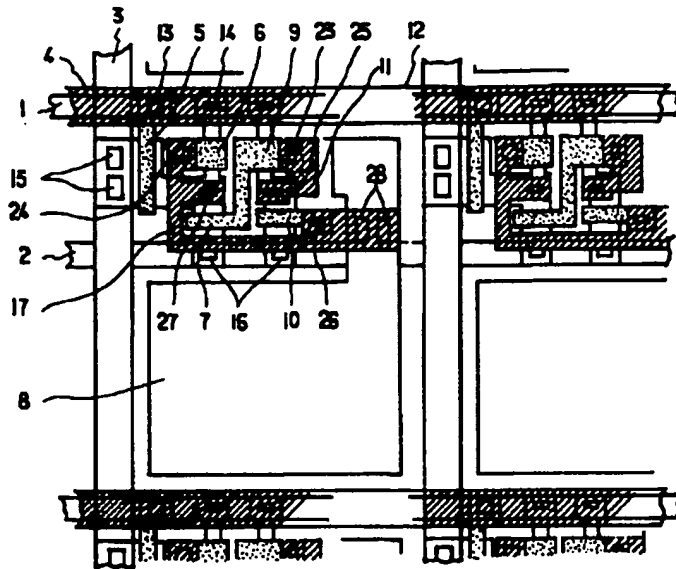
【図1】



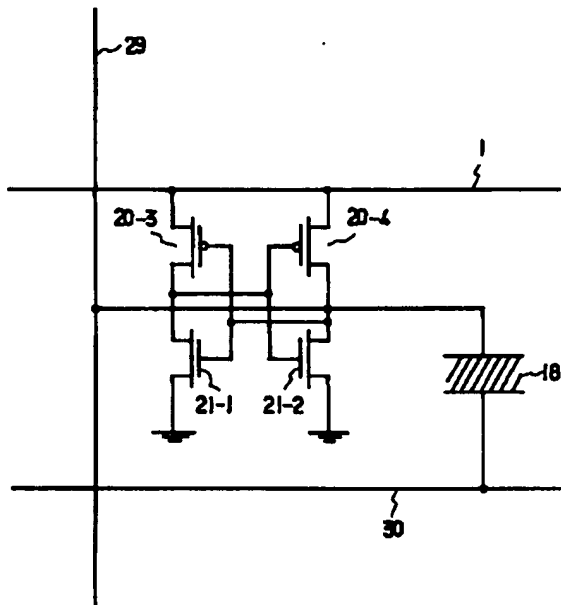
【図3】



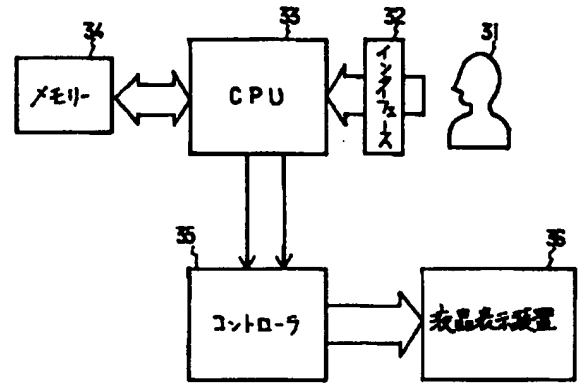
【図2】



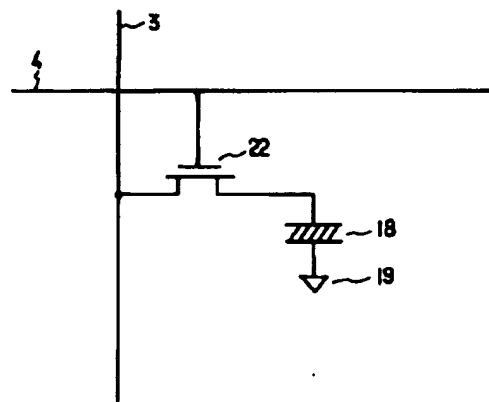
【図4】



【図5】



【図6】



Japanese Patent Laid-Open Number 6-102530

Laid-Open Date: April 15, 1994

Application No.: 4-249715

Filing Date: September 18, 1992

Inventor: Eizo ONO

Applicant: SHARP CORP

## Specification

[Title of Invention] Liquid Crystal Display Device

[Summary]

[Purpose] To reduce the power consumption of a liquid crystal display device by providing a static memory circuit at a pixel portion of the liquid crystal display device.

[Constitution] Static memory circuit operations of the present invention are explained with Figure 1. When a voltage pulse is applied to a gate line 4 and a transistor 22 turns ON, an image signal from a source line 3 is charged in a liquid crystal 18 and a gate of a transistor 21-1. When the image signal is an ON voltage, the liquid crystal 18 is applied with an electric field and changes in orientation state; and the transistor 21-1 turns ON and a transistor 21-2 turns OFF. When the voltage of the gate line 4 becomes an OFF voltage, the transistor 22 turns OFF, but the liquid crystal 18 is charged through a transistor 20-2 so that its orientation state does not change. The image signal can be supplied to a liquid crystal cell by such operations so that the same still picture can be continuously displayed on the screen.

[What is claimed is:]

[Claim 1] A liquid crystal display device comprising:

- a plurality of gate lines to which a first signal is supplied;
- a plurality of source lines to which a second signal is supplied;
- thin film transistors connected to the gate lines and the source lines;
- a static memory circuit in which an input image signal from the thin film transistors to a pixel portion is memorized; and
- liquid crystal cells which are respectively driven to display based on the input image signals,

wherein a signal voltage memorized in the static memory circuit is always applied to the liquid crystal cell of the pixel portion.

[Claim 2] A liquid crystal display device wherein the static memory circuit of claim 1 is constituted by a polycrystalline silicon thin film transistor.

[Claim 3] A liquid crystal display device wherein a display screen can be continuously displayed on the screen by stopping an operation of an external controller of the liquid crystal display device and using the static memory circuit in which an input image signal to a pixel portion from a thin film transistor, when no new input image signal comes from a user or a system to the liquid crystal display device of claim 1.



**[Detailed Description of the Invention]****[0001]**

**[Field of the Invention]** The present invention relates to the liquid crystal display device, especially is suitable for an apparatus that is necessary to reduce the power consumption. For example, it can be applied to a notebook type word processor or a notebook personal computer driven by a battery.

**[0002]**

**[Prior Art]** Figure 6 shows a circuit diagram of a pixel portion of the conventional liquid crystal display device. Figure 6 shows an extract of one pixel portion of the liquid crystal display device. As shown in the Figure, a voltage pulse from a gate line 4 is applied to a gate terminal of a transistor 22 of the pixel portion, and the operations turning ON during  $1/(30 \times \text{the number of scanning lines})$  second or  $1/(60 \times \text{the number of scanning lines})$  second are repeated in a cycle of 1/30 second or 1/60 second. A picture is displayed on a screen by writing the image signal from a source line 3 to a liquid crystal 18 during an ON condition of the transistor 22.

**[0003]**

**[Problems to be Solved by the Invention]** However, in the conventional circuit constitution, quantity of electricity charged in the liquid crystal 18 is attenuated by the leak current at an OFF condition of the transistor 22. Then, in order to prevent said attenuation, charging the liquid crystal 18 is repeated in a cycle of 1/30 second or 1/60 second. Therefore, even when a user merely watches the same picture screen of the apparatus, it is necessary to repeat to draw a picture on the screen at the frame frequency of 30Hz or 60Hz. Thus, it is necessary to operate a display controller of a video signal generator all the time and the electric power is always consumed in these electronic circuits, so that there is a problem that the continuous using time is shortened in the apparatus driven by a battery.

**[0004]** Then, the present invention is accomplished in consideration of the above problems, and has the purpose to offer the electronic circuit supplying the image signal to the liquid crystal cell so as to display the same still picture on the screen continuously, even when the operation of the external controller of the liquid crystal display device would stop in the liquid crystal display device.

**[0005]**

**[Means for Solve the Problems and Action]** The present invention is characterized by comprising: a plurality of gate lines to which a first signal, for instance, a scanning signal is supplied; a plurality of source lines to which a second signal, for instance, a sampled pixel signal is supplied; thin film transistors connected to said gate lines and said source lines; a static memory circuit in which an input image signal from the thin film transistors to each pixel portion is memorized; and liquid crystal cells which are driven to display respectively based on the input image signals, and wherein a signal voltage memorized in the static

memory circuit is always applied to the liquid crystal cell in the above pixel portion. Owing to this constitution, in case that the same still picture is displayed continuously on the screen, the picture is displayed continuously on the screen by stopping the operation of the display controller and using the signal voltage memorized in the static memory circuit without inputting the image signal to the display device from outside.

[0006] Besides, said static memory circuit is constituted by a polycrystalline silicon thin film transistor.

[0007] Furthermore, in applying this circuit constitution to the information processing apparatus, when there is no new input image signal from a user or a system to said liquid crystal display device, the picture is displayed continuously on the screen by stopping the operation of the external controller of the liquid crystal display device and using the static memory circuit wherein the input image signal from the thin film transistor to each pixel portion is memorized.

[0008]

[Embodiment]

[Embodiment 1] Figure 1 shows a circuit diagram of the first embodiment of the present invention. Here, transistors 21-1, 21-2 and 22 constituting static memories (hereinafter referred to as SRAM) are enhancement type n-type MOS transistors, and transistors 20-1 and 20-2 are depletion type n-type MOS transistors. A gate terminal of the transistor 22 is connected to a gate line 4 of a liquid crystal display device, a drain terminal is to a source line 3 of the liquid crystal display device, and a source terminal is to a static memory circuit constituted with the transistors 20-1, 20-2, 21-1 and 21-2. An interconnection 1 is a power source line of the static memory circuit, and is a voltage value charged to a liquid crystal 18.

[0009] A signal voltage input from the source line 3 is applied to an electrode 19-1 provided in the liquid crystal 18, and the electric field decided by the potential difference between the electrode 19-1 and a counter electrode 19-2 is applied to the liquid crystal 18.

[0010] Figure 2 shows a pattern of the pixel portion of the present embodiment. First, a power source line 1 and an earth line 2 are formed on a glass substrate with a high-melting metal thin film. Tungsten is used as the high-melting metal. Secondly, a SiO<sub>2</sub> insulating film is formed to the thickness of 5000 Å, on which polycrystalline silicon thin film transistors 20-1, 20-2, 21-1, 21-2 and 22 are formed. Drain terminals of the transistors 20-1 and 20-2 are connected to the power source line 1 through a contact hole 14, and source terminals of the transistors 21-1 and 21-2 are connected to the earth line 2 through a contact hole 16. A gate terminal 9 of the transistor 20-1 and a gate terminal 7 of the transistor 21-2 are connected by an interconnection of gate poly-silicon.

[0011] After forming the transistors, the gate line 4 and a line 11 which connects the gate terminal 9 of the transistor 20-1 and a source terminal are formed by an aluminum interconnection containing 1% of silicon on the SiO<sub>2</sub> insulating film formed to the thickness

of 5000 Å. The gate line 4 is connected to a gate terminal 5 of the transistor 22 through a contact hole 13. The aluminum interconnection 11 is connected to the gate terminal 9 and the source respectively through contact holes 23 and 25. After forming the aluminum interconnection, a SiO<sub>2</sub> film is formed to the thickness of 2000 Å, on which an ITO electrode 8 is formed. The ITO thin film of 1500 Å is formed by the sputtering.

[0012] Next, a SiO<sub>2</sub> insulating film is formed to the thickness of 3000 Å, on which the source line 3 and an aluminum interconnection 17 are formed with the aluminum interconnection containing 1% of silicon. The source line 3 is connected to a drain terminal of the transistor 22 through a contact hole 15. The aluminum interconnection 17 is connected to a gate terminal of the transistor 20-2 through a contact hole 24, to a source terminal of the transistor 20-2 through a contact hole 27, to a gate terminal 10 of the transistor 21-1 through a contact hole 26, and to the ITO electrode 8 through a contact hole 28. After forming the above structure, a silicon nitride thin film is formed to the thickness of 5000 Å as a protective film.

[0013] A circuit operation of the present embodiment is explained. During 1/(30 x the number of scanning lines) or 1/(60 x the number of scanning lines) second, the voltage pulse is applied to the gate line 4, and the transistor 22 turns ON. Meanwhile the image signal from the source line 3 is charged in the liquid crystal 18 and the gate of the transistor 21-1. When the image signal is an ON voltage (high), the liquid crystal 18 is applied with an electric field and changes in orientation state; and the transistor 21-1 turns ON and the transistor 21-2 turns OFF. When a voltage of the gate line 4 is an OFF voltage (low), the transistor 22 turns OFF, but the liquid crystal 18 does not change in orientation state because it is charged through the transistor 20-2. In case that the OFF voltage (low) is input from the source line 3 when the transistor 22 is ON, the liquid crystal 18 is not applied with the electric field; and the transistor 21-1 turns OFF and the transistor 21-2 turns ON. After the transistor 22 turns OFF, the liquid crystal 18 is not applied with the electric field because it is discharged through the transistor 21-2 which is ON.

[0014]

[Embodiment 2] Figure 3 shows a circuit diagram of the second embodiment of the present invention. It is really as same as the first embodiment except changing the combination of the depletion type n-type MOS transistor and the enhancement type n-type MOS transistor constituting SRAM in the first embodiment, to the combination of the enhancement type p-type MOS transistor and the enhancement type n-type MOS transistor. Here, the transistors 20-3 and 20-4 are enhancement type p-type MOS transistors; the transistors 21-1, 21-2 and 22 are enhancement type n-type MOS transistors, and the circuit operation is the same as that of Embodiment 1.

[0015]

[Embodiment 3] Figure 4 shows a circuit diagram of the third embodiment of the present invention. Here, the present invention is applied to a simple matrix type liquid crystal display device. Reference numeral 29 is a signal line, 30 is a horizontal scanning line.

transistors 20-3 and 20-4 are enhancement type p-type MOS transistors, and transistors 21-1 and 21-2 are enhancement type n-type MOS transistors. In the same way as Embodiment 1, when an ON voltage (high) is input from the signal line 29, the liquid crystal 18 keeps ON by operating a memory circuit; when an OFF voltage (low) is input, it keeps OFF.

[0016] Figure 5 shows a system constitution of an information processing apparatus using the above liquid crystal display device. A requirement signal from a user 31 is sent to a CPU 33 of a system through an interface 32 (for instance, a mouse, a pen, a keyboard, etc.). A series of processing are performed between the CPU 33 and a memory 34 etc. In case that a result needs to display to a liquid crystal display device, image data and a signal to a controller are sent to a display controller 35. The controller sends the signal to a liquid crystal display device 36 based on these data. In case that there is no input from the user 31 for the regular time (it can be set at random) in the present system, an operation stopping signal is sent to the controller 35 to stop the operation of the controller 35 in order not to consume an electrical power. Meanwhile, the liquid crystal display device 36 keeps displaying a picture until then on the screen using a memory function of the present invention. When an input from the user, the operation of the controller starts again and drawing a picture is performed.

[0017]

[Effect of the Present Invention] According to the present invention, it is able to reduce the power consumption of an apparatus with a liquid crystal display device driven by a battery and use continuously for a long time by the battery.

[Brief Description of the Drawings]

[Fig. 1] A circuit diagram of a pixel portion in a liquid crystal display device of Embodiment 1 in the present invention.

[Fig. 2] A pattern of a pixel portion in a liquid crystal display device of Embodiment 1 in the present invention.

[Fig. 3] A circuit diagram of a pixel portion in a liquid crystal display device of Embodiment 2 in the present invention.

[Fig. 4] A circuit diagram of a pixel portion in a liquid crystal display device of Embodiment 3 in the present invention.

[Fig. 5] A schematic view using a liquid crystal display device of the present invention.

[Fig. 6] A circuit diagram of a pixel portion of the conventional liquid crystal display device.

[Description of Marks]

1. power source line
2. earth line
3. source line
4. gate line
5. 7. 9. 10. gate terminal
8. ITO electrode

- 12. 13. 14. 15. 16 contact hole
- 11. 17. aluminum interconnection
- 18. liquid crystal
- 19. electrode
- 20-1. 20-2. depletion type n-type MOS transistor
- 20-3. 20-4. enhancement type p-type MOS transistor
- 21-1. 21-2. 22. enhancement type n-type MOS transistor
- 23. 24. 25. 26. 27. 28. contact hole
- 29. signal line
- 30. horizontal scanning line
- 31. user
- 32. interface
- 33. CPU
- 34. memory
- 35. display controller
- 36. liquid crystal display device.